

Responsable : Éric TOURNIER (tournier@laas.fr, 05 61 33 69 17)

Objectifs

La mise au point fonctionnelle de circuits intégrés est aujourd'hui indissociable d'outils informatiques de conception assistée par ordinateur (CAO) de natures très diverses. Ces outils adressent des aspects aussi larges que la description fonctionnelle de systèmes par langages de haut-niveau (ex VHDL-AMS) et leurs simulations comportementales, leur partitionnement logiciel/matériel (Co-design), la synthèse automatisée de certaines parties matérielles – le plus souvent numériques – ou bien la saisie manuelle directe de composants élémentaires, les simulations variées (électriques, électromagnétiques, temporelles, fréquentielles, ...), le placement/routage automatisé ou bien la saisie manuelle d'un dessin des masques (« layout »), la vérification des règles de dessin de la technologie utilisée (DRC), la validation du dessin de masques par rapport à la schématique initiale (LVS), l'extraction de données parasites afin de déterminer l'impact du dessin de masques sur les performances du circuit par rétro-simulation et d'en identifier et corriger les faiblesses, etc. L'utilisation de logiciels spécifiques est généralement liée à la culture des entreprises, mais la tendance évolutive d'utilisation de ces logiciels démontre un besoin multi-supports faisant appel à plusieurs plateformes développées par différents fournisseurs (Cadence, Mentor, Synopsys, Silvaco, Agilent, ...) : l'interopérabilité devient parfois délicate et passe par une maîtrise du panel des principaux logiciels utilisés.

Cette unité a pour objectif d'initier les étudiants à une grande partie de ces étapes de conception, en manipulant ces logiciels du monde professionnel qui, s'ils ne sont bien souvent pas d'un abord facile pour les non-initiés, sont incontournables dans les métiers liés à la conception des circuits intégrés. Deux logiciels leaders du marché seront utilisés au cours de bureaux d'étude, Cadence et ADS respectivement orientés vers des approches de simulation dans les domaines temporels et fréquentiels.

Contenu

- I. Intégration de circuits numériques CMOS (16h TP) – Cadence**
 - 1.1 Synthèse logique VHDL,
 - 1.2 Placement/routage automatisé,
 - 1.3 Rétroannotation de délais et rétro-simulations.
- II. Intégration de circuits numériques rapides CML/ECL (32hTP) - Cadence**
 - 2.1 Dimensionnement d'étages CML/ECL,
 - 2.2 Conception de diviseurs de fréquence,
 - 2.3 Simulations temporelles et en régime périodique établi,
 - 2.4 Dessin des masques piloté par schématique,
 - 2.5 Extraction des parasites et rétro-simulations.
- III. Intégration de circuits analogiques haute-fréquence (44hTP) - ADS**
 - 3.1 Approche spécifique haute-fréquence et passerelles basse fréquence,
 - 3.2 Complémentarité des simulations temporelles et fréquentielles,
 - 3.3 Composants à constantes réparties et à constantes localisées,
 - 3.4 Adaptation d'impédance et dimensionnement de lignes
 - 3.5 Conception d'un récepteur MMIC en bande X (10 GHz) : 'LNA, VCO, mixer'

Pré-requis

Bases d'électronique analogique et numérique. Électronique HF. Transformées (Fourier, Laplace, en Z).

Bibliographie

Mathématiques du signal, D. Ghorbanzadeh et al., Éd. Dunod, 2008
Électronique appliquée aux hautes fréquences, F. de Dieuleveult et al., Éd. Dunod, 2008
Principes et applications de l'électronique, tomes 1 et 2, F. de Dieuleveult et al., Éd. Dunod, 1997